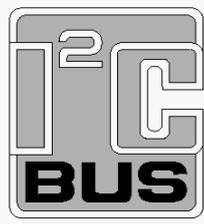


1. Présentation



Lorsqu'il s'agit de transmettre une information logique entre deux circuits, on pense naturellement aux bus parallèles, rapides et simples à mettre en œuvre. Le problème vient du fait que ce type de bus est limité à de très courtes distances (circuits situés sur la même carte) et est coûteux en nombre de pistes et nombre de broches sur les circuits intégrés reliés à ces bus.

Le bus I2C est un bus série qui a été développé dans l'optique d'une réduction et d'une simplification du matériel (moins de fils, moins de broches, circuits moins coûteux à fabriquer, donc à vocation grand public).

Mis au point par la société Philips dans les années 1980, le bus I2C (pour **I**nter **I**ntegrated-Circuit **C**ommunication) a été conçu pour réaliser une liaison économique entre les circuits intégrés d'une même platine ou entre platines. Le bus I2C est désormais un standard de communication entre circuits.

Standardisé en 1992 dans sa version première (V1.0), ce bus permettait l'échange d'informations à la vitesse maximale de **100 Kbits/s** (mode normal). Le mode rapide (fast) a été ensuite ajouté pour permettre une communication à la vitesse maximale de **400 Kbits/s** (compatible avec la version 1.0). L'adresse des composants est passée de 7 bits à 9 bits (multipliant par 4 le nombre d'adresses possibles).

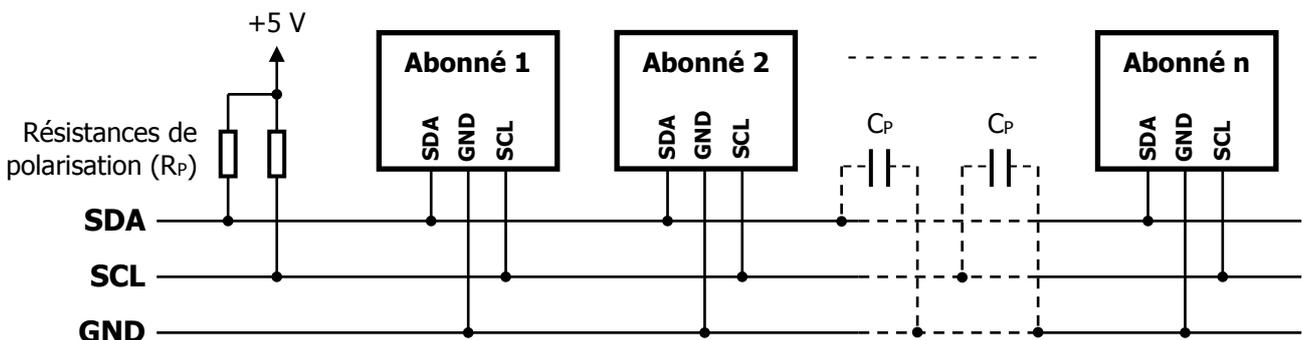
En 1998, ce bus a connu un nouveau développement avec la version 2, rajoutant un mode grande vitesse à 3,4 Mbits/s.

2. Caractéristiques électriques

Le bus I2C est un bus série **synchrone** (un signal d'horloge est transmis) constitué de trois fils :

- La ligne de transmission de donnée série **SDA (Serial DA**ta) ;
- La ligne de transmission d'horloge **SCL (Serial CL**ock) ;
- La ligne de référence de potentiel **GND** (la masse).

Les circuits qui partagent le bus s'appellent **abonnés**. Ils sont raccordés en parallèle selon le schéma de principe ci-dessous.



Au niveau repos, chaque abonné est déconnecté du bus : les lignes SDA et SCL du bus sont au **niveau logique haut (Niveau Logique 1)**.

Le nombre de composants connectés au bus ainsi que sa longueur sont limités. En pratique, la longueur du bus I2C est **limitée à 2 à 3 m**.

L'échange d'informations sur le bus I2C s'effectue de façon hiérarchisée entre un **maître** et un **esclave** (à tout instant, la communication ne peut exister qu'**entre deux abonnés** seulement). C'est le maître qui **engage la discussion et qui y met fin**, l'esclave se contentant d'y **répondre**.

3. Vocabulaire.

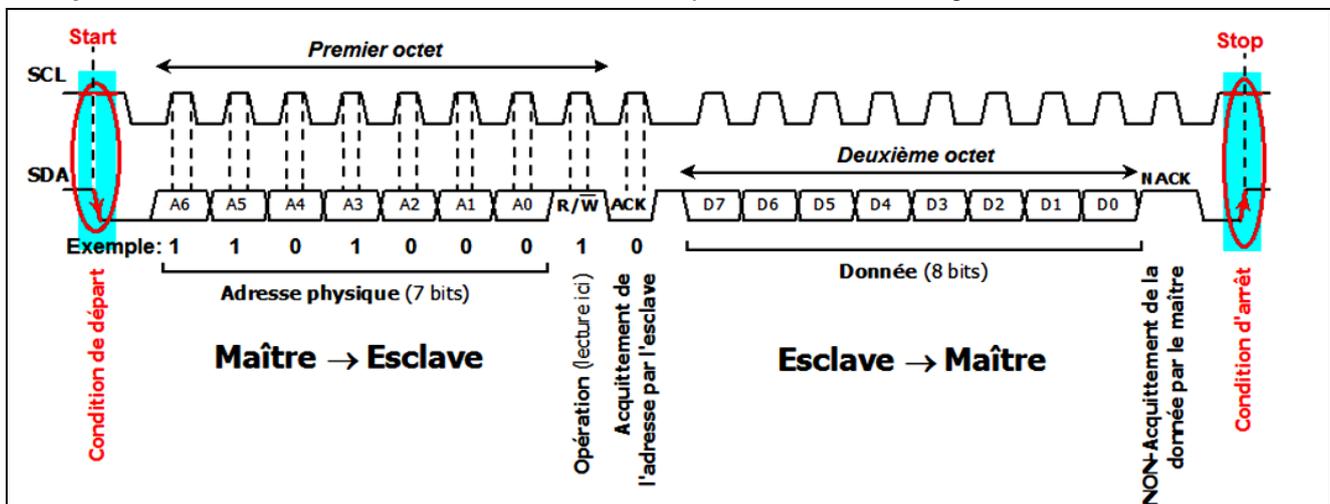
- Sur un bus I2C, l'échange d'informations à un instant donné ne peut s'effectuer qu'entre deux **abonnés** au maximum.
- Un **maître** est un abonné qui **engage un échange** de données, **génère l'horloge**, et **met fin à l'échange**.
- Un esclave est un abonné adressé par un maître lors d'un échange de données.
- Un abonné (maître ou esclave) qui envoie des données sur le bus est appelé émetteur tant qu'il accomplit cette fonction.
- Un abonné (maître ou esclave) qui **reçoit des données** sur le bus est appelé **récepteur** tant qu'il accomplit cette fonction.
- Un **échange** est un **dialogue complet** entre un émetteur et un récepteur.
- Un **arbitrage** est une procédure permettant de résoudre un problème d'accès au bus lorsque deux maîtres veulent démarrer un transfert au même moment.

4. Protocole de transmission en mode standard.

Le **protocole** détermine un ensemble de règles afin que le dialogue soit rendu possible entre deux abonnés. Il est défini par la succession des états que prennent les signaux SDA et SCL.

Une trame I2C, illustrée par le chronogramme ci-dessous, peut être décomposée en plusieurs parties distinctes, classées dans l'ordre chronologique d'apparition, ici dans le cas d'une **opération de lecture** :

- Le maître vérifie que le **bus est libre** (SCL et SDA sont au niveau logique haut) ;
- Le maître émet la **condition de départ (START)** : **front descendant de SDA quand SCL est au niveau haut** ;
- Une **donnée sur la ligne SDA est valide** seulement lorsque la **ligne SCL est au niveau logique haut** ;
- Le maître émet l'**adresse physique du destinataire (7 bits)** qui devient alors l'interlocuteur unique (esclave), complétée du **bit d'opération (1 bit) (lecture ou écriture de l'esclave)**. Le maître transmet les 8 bits en émettant le **bit de poids fort (MSB) en premier** ;
- Celui qui reçoit l'information émet un **bit d'acquiescement au Niveau Logique bas (NL0)**, preuve de bonne réception ;
- L'esclave envoie la donnée lue par le maître (**8 bits avec le bit MSB en premier**) ;
- Le maître s'acquiesce de la donnée qu'il a reçu en utilisant le **NON-acquiescement (condition inverse) au Niveau Logique haut (NL1)** pour mettre fin à un échange à répétition ;
- Le maître émet la **condition d'arrêt (STOP)** pour mettre fin à l'échange : **front montant de SDA pendant que SCL est au niveau haut**. Le bus redevient libre pour un nouvel échange entre 2 abonnés.



Explications :

➤ Au repos, les lignes SCL et SDA sont au **niveau logique haut**, fixé à 5 V par les résistances de polarisation R_P . Avant de commencer un échange, un maître doit au préalable s'assurer que le bus est libre (au niveau logique haut pendant une durée minimale de 4,7 μ s).

➤ Cette condition étant vérifiée, l'abonné qui engage l'échange en plaçant SDA au niveau logique bas alors que SCL est encore au niveau logique haut devient maître sur le bus : c'est la **condition de départ**. C'est le maître qui contrôle la génération de l'horloge (SCL). Pourtant, s'il ne peut opérer constamment au rythme imposé par le maître, l'esclave peut forcer la ligne SCL au niveau logique bas pour obliger le maître à attendre. La fréquence des impulsions d'horloge peut donc varier au cours d'un échange.

Les impulsions au **niveau logique haut** de l'horloge servent à échantillonner les états présents sur la ligne SDA (la donnée doit donc être stable pendant toute cette durée). Les changements d'états de la ligne SDA doivent avoir lieu pendant que l'horloge est au niveau logique bas. Dans le cas contraire, **ils déterminent les conditions de départ et d'arrêt** de l'échange.

➤ Le maître émet alors l'**adresse de l'abonné** avec lequel l'échange doit avoir lieu, qui devient l'esclave. Dans le mode d'échange standard, l'adresse est constituée de **7 bits**, le **MSB étant émis le premier** par le maître. L'adresse sert à désigner le circuit esclave de la transmission. En effet, tous les circuits reliés sur le bus reçoivent cette adresse mais seul celui qui l'identifie comme la sienne répond en se connectant au bus.

➤ L'émission de l'adresse est suivie d'un bit d'**opération** (R/\overline{W}). Selon son état 1 ou 0, il définit le sens de transfert de l'information qui va être transmise par la suite (vis-à-vis du maître). Au niveau logique bas (ou NL0), c'est une écriture (maître → esclave). Au niveau logique haut (ou NL1), c'est une lecture (esclave → maître).

➤ L'adresse et le bit de mode définissent le **premier octet**. Il est **validé par l'esclave** qui, en forçant la ligne SDA au niveau logique bas, émet un **bit d'acquiescement** indiquant au maître que la transmission de l'adresse s'est bien déroulée (au moment de l'acquiescement, le maître libère la ligne SDA pendant la durée de l'impulsion d'horloge). L'échange ne continuera pas tant que cet acquiescement n'aura pas été reçu. Si l'acquiescement n'arrive pas dans un délai déterminé, le maître abandonnera la transmission en cours (il n'existe pas de normalisation de cette durée).

➤ Une fois que le maître a reçu le bit d'acquiescement envoyé par l'esclave, la deuxième partie de l'échange peut commencer. Il s'agit de l'**information réellement utile** de la transmission. Si l'échange est une **lecture**, le maître va **recevoir** une donnée, envoyée par l'esclave. S'il s'agit d'une écriture, le maître va **émettre** une donnée pour l'esclave, qui écoute.

➤ Le bon déroulement de la transmission de la donnée est indiqué par un nouveau bit d'acquiescement. Ce bit est envoyé par le récepteur (le circuit qui a reçu la donnée) à destination de l'émetteur (le circuit qui l'a émise). Le rôle du bit d'acquiescement est toujours d'indiquer que la transmission s'est bien déroulée. Lors d'une écriture, c'est l'**esclave** qui s'acquiesce de la transmission en mettant le bit au **niveau logique bas**. Dans une lecture, c'est le **maître** qui met le bit d'acquiescement au niveau bas.

Dans certains circuits complexes (microcontrôleur, mémoire...), le traitement d'une donnée écrite peut prendre un certain temps et il est alors possible que le maître soit obligé d'attendre l'acquiescement avant de pouvoir passer à la suite de l'échange.

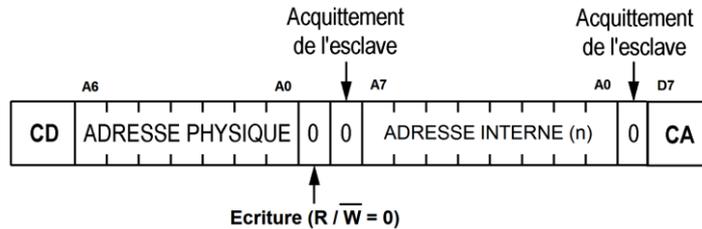
Dans le cas d'une erreur de transmission, le récepteur laisse le bit d'acquiescement au niveau logique haut et réalise ce qu'on appelle un **non-acquiescement**. Ainsi prévenu que la transmission a échoué, l'émetteur recommencera l'échange.

➤ Dans le cas où plusieurs mots de données doivent être transmis lors du même échange, entre les deux mêmes abonnés, la seconde partie de la trame (donnée + ACK) est répétée autant de fois que nécessaire (pour la donnée 1, pour la donnée 2 et ainsi de suite).

➤ Enfin, la **condition d'arrêt**, qui consiste en un **front montant de SDA pendant que l'horloge se trouve au niveau haut**, met fin à la transmission entre les deux abonnés.

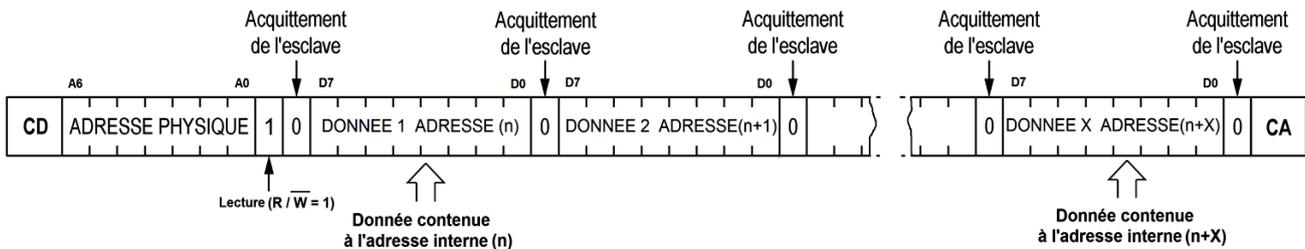
Écriture de l'adresse interne dans l'esclave dans le cas du chauffe-eau solaire :

Maître (microcontrôleur) → Esclave (Mémoire horloge temps réel)



Lecture de données dans l'esclave dans le case du chauffe-eau solaire :

Maître (microcontrôleur) → Esclave (Mémoire horloge temps réel)



CD : Condition de Départ

CA : Condition d'Arrêt

5. Synthèse.

Le bus I2C est un **bus série synchrone**, très simple à mettre en œuvre, qui permet d'établir une **communication bidirectionnelle** entre des circuits ou des cartes électroniques peu distantes (quelques mètres au maximum).

D'un point de vue matériel, il est constitué de **deux lignes SDA (la donnée) et SCL (l'horloge)**, reliées à l'alimentation par deux résistances de polarisation (quelques kΩ).

Les conditions de départ et d'arrêt déterminent le début et la fin de la transmission entre un maître et un esclave. Lors d'un échange, les données transmises sont des octets et l'adresse de l'esclave est émise en premier accompagnée du bit d'opération qui fixe la nature de l'échange (lecture ou écriture).

L'adresse désigne le circuit avec lequel doit avoir lieu la transmission d'informations. Tous les circuits partageant le même bus I2C doivent avoir une adresse unique et distincte.

